

PATENT ABSTRACTS OF JAPAN

A2

(11)Publication number : 2002-111968

(43)Date of publication of application : 12.04.2002

(51)Int.Cl.

H04N 1/04
G06T 1/00
H04N 1/028
H04N 1/19
H04N 1/46

(21)Application number : 2000-335678

(71)Applicant : TOSHIBA TEC CORP

(22)Date of filing : 02.11.2000

(72)Inventor : WATANABE KOICHI

(30)Priority

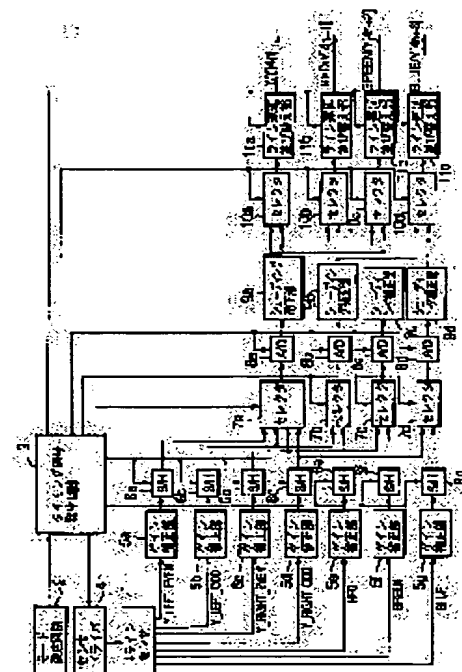
Priority number : 2000 670621 Priority date : 27.09.2000 Priority country : US

(54) METHOD AND DEVICE FOR IMAGE READ, AND METHOD AND DEVICE FOR IMAGE PROCESSING

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image read device for both a fast monochromatic mode and a slow color mode which can realize rapidity, high precision and cost reduction.

SOLUTION: A four-line color CCD sensor having four line sensors Y, R, G, B is used. In a slow color read mode, output from the line sensors is processed by an A/D converter and a post processing part provided for each sensor. In a fast monochromatic read mode, output from a Y sensor is divided by using an A/D converter and a post processing part provided corresponding not only to a Y sensor but also other R, G, B sensors.



LEGAL STATUS

[Date of request for examination]

02.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-111968
(P2002-111968A)

(43)公開日 平成14年 4月12日 (2002. 4. 12)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 4 N 1/04		G 0 6 T 1/00	4 1 0 5 B 0 4 7
G 0 6 T 1/00	4 1 0	H 0 4 N 1/028	C 5 C 0 5 1
H 0 4 N 1/028		1/04	D 5 C 0 7 2
1/19			1 0 2 5 C 0 7 7
1/46		1/40	1 0 3 C 5 C 0 7 9

審査請求 有 請求項の数9 O L (全 18 頁) 最終頁に続く

(21)出願番号 特願2000-335678(P2000-335678)

(22)出願日 平成12年11月 2 日(2000. 11. 2)

(31)優先権主張番号 6 7 0 6 2 1

(32)優先日 平成12年 9 月27 日(2000. 9. 27)

(33)優先権主張国 米国 (U S)

(71)出願人 000003562

東芝テック株式会社

東京都千代田区神田錦町1丁目1番地

(72)発明者 渡 邊 功 一

神奈川県川崎市幸区柳町70番地 東芝テック株式会社柳町事業所内

(74)代理人 100064285

弁理士 佐藤 一雄 (外3名)

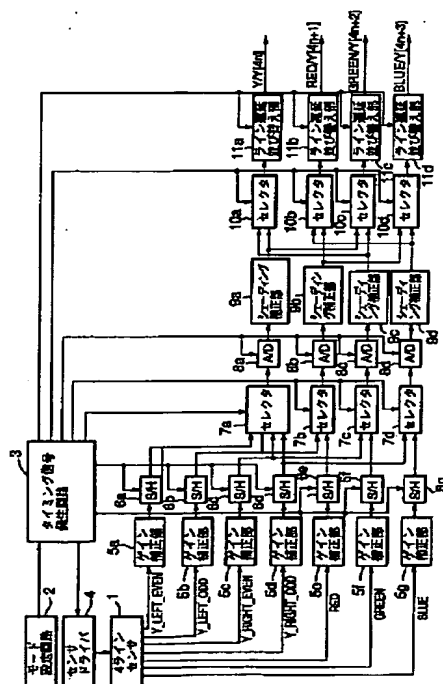
最終頁に続く

(54)【発明の名称】 画像読取方法及びその装置、並びに画像処理方法及びその装置

(57)【要約】

【課題】 高速化、高精度化、コスト低減を実現することが可能な、高速モノクロモード、低速カラーモード兼用の画像読み取り装置を提供する。

【解決手段】 4個のラインセンサY、R、G、Bを備える4ラインカラーCCDセンサを使用し、カラー低速読み取りモードではこれらのセンサからの出力を、センサ毎に設けられたA/D変換器及び後段処理部で処理する。モノクロ高速読み取りモードでは、Yセンサからの出力を、Yセンサのみならず他のR、G、Bセンサに対応して設けられたA/D変換器及び後段処理部を用いて分割処理する。



1

【特許請求の範囲】

【請求項1】1ライン分の信号を複数に分割して出力するモノクロ用センサと、複数のカラー用センサを含むラインセンサ部と、

モノクロモードと、カラーモードのいずれかを設定するモード設定回路と、

前記モノクロ用センサに対応して設けられ、信号を与えられてアナログ／デジタル変換を行うモノクロ用アナログ／デジタル変換器と、

各々の前記カラー用センサに対応して設けられ、信号を与えられてアナログ／デジタル変換を行う複数のカラー用アナログ／デジタル変換器と、

前記モード設定回路にモノクロモードが設定された場合、前記モノクロ用センサから出力された複数の前記信号を、前記モノクロ用アナログ／デジタル変換器と、前記カラー用アナログ／デジタル変換器とに分配して与え、アナログ／デジタル変換を行わせるセレクタと、

を備える画像読取装置。

【請求項2】前記モード設定回路にカラーモードが設定された場合、前記セレクタは、前記カラー用センサからそれぞれ出力された信号を、対応する前記カラー用アナログ／デジタル変換器に与えてアナログ／デジタル変換を行わせる請求項1記載の画像読取装置。

【請求項3】前記モノクロ用アナログ／デジタル変換器と、前記カラー用アナログ／デジタル変換器とにそれぞれ対応して設けられ、出力されたデジタル信号を与えられ、ラインを単位として遅延し、前記デジタル信号の順序を並び替えて出力するライン遅延並び替え部をさらに備え、

前記モード設定回路にモノクロモードが設定された場合、前記ライン遅延並び替え部は、前記モノクロ用センサから分割されて出力され、前記モノクロ用アナログ／デジタル変換器と前記カラー用アナログ／デジタル変換器によりそれぞれアナログ／デジタル変換された前記デジタル信号を与えられ、順序を並び替えて出力する、請求項1記載の画像読取装置。

【請求項4】前記モード設定回路にカラーモードが設定された場合、前記ライン遅延並び替え部は、前記カラー用センサから出力され、前記カラー用アナログ／デジタル変換器によりそれぞれアナログ／デジタル変換された前記デジタル信号を与えられ、順序を並び替えて出力する、請求項2記載の画像読取装置。

【請求項5】原稿の読み取り方向を、順方向と逆方向とのいずれかに設定する読取方向設定部をさらに備え、前記ライン遅延並び替え部は、前記読取方向設定部に設定された正方向又は逆方向に従い、正方向時のライン遅延及び画素の並び替え処理と逆方向時のライン遅延及び画素の並び替え処理との切り替えを行う、請求項3記載の画像処理装置。

2

【請求項6】1ライン分の信号を複数に分割して出力するモノクロ用センサと、複数のカラー用センサを含むラインセンサ部と、前記モノクロ用センサに対応して設けられ、信号を与えられてアナログ／デジタル変換を行うモノクロ用アナログ／デジタル変換器と、各々の前記カラー用センサに対応して設けられ、信号を与えられてアナログ／デジタル変換を行う複数のカラー用アナログ／デジタル変換器とを用いて画像処理を行う際に、

モノクロモードとカラーモードのうち、前記モノクロモードが設定された場合、前記モノクロ用センサから出力された複数の前記信号を、前記モノクロ用アナログ／デジタル変換器と、前記カラー用アナログ／デジタル変換器とに分配して与え、アナログ／デジタル変換を行わせる、画像読取方法。

【請求項7】前記モノクロ用アナログ／デジタル変換器と、前記カラー用アナログ／デジタル変換器とにそれぞれ対応して設けられたライン遅延並び替え部を用いて、それぞれ出力されたデジタル信号を与えられ、ラインを単位として遅延し、前記デジタル信号の順序を並び替える際に、

前記モノクロモードが設定された場合、前記モノクロ用センサから分割されて出力された前記信号のみを用いて、前記モノクロ用アナログ／デジタル変換器及び前記カラー用アナログ／デジタル変換器によりアナログ／デジタル変換されたデジタル信号の順序を並び替える、請求項6記載の画像読取方法。

【請求項8】前記カラーモードが設定された場合、前記カラー用センサから出力され、前記カラー用アナログ／デジタル変換器によりそれぞれアナログ／デジタル変換された前記デジタル信号を、前記ライン遅延並び替え部を用いて順序を並び替える、請求項6記載の画像読取方法。

【請求項9】原稿の読取方向が、順方向と逆方向とのいずれかが設定された場合、

前記ライン遅延並び替え部は、前記読取方向として設定された正方向又は逆方向に従い、正方向時のライン遅延及び画素の並び替え処理と逆方向時のライン遅延及び画素の並び替え処理との切り替えを行う、請求項6記載の画像処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像読取方法及びその装置、並びに画像処理方法及びその装置に関する。

【0002】

【従来の技術】従来の画像読取装置には、例えば特開平11-275371号公報に開始されたものが存在する。しかし、この装置には次のような幾つかの問題が存在していた。

【0003】第1に、画像センサとしてR、G、B用に

それぞれ設けられた3つの画像センサしか有しておらず、モノクロ専用の画像センサを備えていない。よって、モノクロ画像の処理を行う際に、モノクロ輝度信号(Y)を、R、G、B用に設けられた画像センサを用いて生成する。このため、3つの画像センサの位置のずれや、それぞれの分光感度特性の相違等により、画像の品質が低い。

【0004】第2に、モノクロ輝度信号(Y)を、R、G、B用の画像センサ出力から直接生成する場合に、Y画像を生成しようとする画素に対し、それぞれの画像センサの原稿読み取り位置の相違により画像品質が低下する。また、カラーのCCDセンサとして一般的に広く利用されているCCDラインセンサを用いた場合、R、G、B用のセンサがある有限な間隔をもってライン上に配置されている。このため、ライン間の読み取り位置のずれを補正することなく、各色のセンサ出力から直接モノクロ輝度信号(Y)を生成した場合、画像品質が著しく低下する。従って、モノクロ輝度信号(Y)を、R、G、B用の画像センサ出力から直接生成する方式では一般的に広く利用されているCCDラインセンサを実質上、使用することができない。

【0005】第3に、モノクロ輝度信号(Y)を、R、G、B用の画像センサから生成する際に、それぞれの画像センサは特定の波長に対して高い感度を有するようにフィルタが設けられている。このフィルタが原因となって、画像センサに供給される光量は低下する。このため、読み取り速度を高速化した場合には、さらに画像センサが取り込む光量が低下し、読み取り精度の低下を招く。

【0006】

【発明が解決しようとする課題】上述のように、従来はモノクロ画像を読み取る際に、高速でかつ高精度で処理することができないという問題があった。

【0007】本発明は上記事情に鑑み、モノクロ画像を高速に読み取り、かつ所望のレベルの画像品質を実現し、カラー画像は高品位の画像品質を得ることが可能な画像読取方法及びその装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明の画像読取装置は、1ライン分の信号を複数に分割して出力するモノクロ用センサと、複数のカラー用センサとを含むラインセンサ部と、モノクロモードと、カラーモードのいずれかを設定するモード設定回路と、前記モノクロ用センサに対応して設けられ、信号を与えられてアナログ/デジタル変換を行うモノクロ用アナログ/デジタル変換器と、各々の前記カラー用センサに対応して設けられ、信号を与えられてアナログ/デジタル変換を行う複数のカラー用アナログ/デジタル変換器と、前記モード設定回路にモノクロモードが設定された場合、前記モノク

ロ用センサから出力された複数の前記信号を、前記モノクロ用アナログ/デジタル変換器と、前記カラー用アナログ/デジタル変換器とに分配して与え、アナログ/デジタル変換を行わせるセレクトとを備える。

【0009】前記モード設定回路にカラーモードが設定された場合、前記セレクトは、前記カラー用センサからそれぞれ出力された信号を、対応する前記カラー用アナログ/デジタル変換器に与えてアナログ/デジタル変換を行わせることもできる。

【0010】前記モノクロ用アナログ/デジタル変換器と、前記カラー用アナログ/デジタル変換器とにそれぞれ対応して設けられ、出力されたデジタル信号を与えられ、ラインを単位として遅延し、前記デジタル信号の順序を並び替えて出力するライン遅延並び替え部をさらに備え、前記モード設定回路にモノクロモードが設定された場合、前記ライン遅延並び替え部は、前記モノクロ用センサから分割されて出力され、前記モノクロ用アナログ/デジタル変換器と前記カラー用アナログ/デジタル変換器によりそれぞれアナログ/デジタル変換された前記デジタル信号を与えられ、順序を並び替えて出力するように構成してもよい。

【0011】前記モード設定回路にカラーモードが設定された場合、前記ライン遅延並び替え部は、前記カラー用センサから出力され、前記カラー用アナログ/デジタル変換器によりそれぞれアナログ/デジタル変換された前記デジタル信号を与えられ、順序を並び替えて出力することもできる。

【0012】前記モノクロ用センサは、前記カラーセンサより出力の分割数が多くてよい。

【0013】前記モノクロ用センサは、前記カラーセンサの4倍の分割数で前記信号を分割して出力することもできる。

【0014】前記モノクロ用センサを、前記センサ部における一方の端面に、前記カラーセンサよりも近く配置してもよい。

【0015】前記センサ部は、原稿を順方向に読み取る時に、前記モノクロ用センサが前記カラーセンサよりも前記原稿上の先行した位置を読み取るように配置されていてもよい。

【0016】原稿の読み取り方向を、正方向と逆方向とのいずれかを設定する読取方向設定部をさらに備え、前記ライン遅延並び替え部は、前記読取方向設定部に設定された正方向又は逆方向に従い、正方向時のライン遅延及び画素の並び替え処理と逆方向時のライン遅延及び画素の並び替え処理とを切り替えることもできる。

【0017】本発明の画像読取方法は、1ライン分の信号を複数に分割して出力するモノクロ用センサと、複数のカラー用センサとを含むラインセンサ部と、前記モノクロ用センサに対応して設けられ、信号を与えられてアナログ/デジタル変換を行うモノクロ用アナログ/デ

ィジタル変換器と、各々の前記カラー用センサに対応して設けられ、信号を与えられてアナログ／ディジタル変換を行う複数のカラー用アナログ／ディジタル変換器とを用いて画像処理を行う際に、モノクロモードとカラーモードのうち、前記モノクロモードが設定された場合、前記モノクロ用センサから出力された複数の前記信号を、前記モノクロ用アナログ／ディジタル変換器と、前記カラー用アナログ／ディジタル変換器とに分配して与え、アナログ／ディジタル変換を行わせるよう構成されている。

【0018】前記カラーモードが設定された場合、前記カラー用センサからそれぞれ出力された信号を、対応する前記カラー用アナログ／ディジタル変換器に与えてアナログ／ディジタル変換を行わせることもできる。

【0019】前記モノクロ用アナログ／ディジタル変換器と、前記カラー用アナログ／ディジタル変換器とにそれぞれ対応して設けられたライン遅延並び替え部を用いて、それぞれ出力されたディジタル信号を与えられ、ラインを単位として遅延し、前記ディジタル信号の順序を並び替える際に、前記モノクロモードが設定された場合、前記モノクロ用センサから分割されて出力された前記信号のみを用いて、前記モノクロ用アナログ／ディジタル変換器及び前記カラー用アナログ／ディジタル変換器によりアナログ／ディジタル変換されたディジタル信号の順序を並び替えることもできる。

【0020】前記カラーモードが設定された場合、前記カラー用センサから出力され、前記カラー用アナログ／ディジタル変換器によりそれぞれアナログ／ディジタル変換された前記ディジタル信号を、前記ライン遅延並び替え部を用いて順序を並び替えることもできる。

【0021】原稿の読取方向が、正方向と逆方向とのいずれかに設定された場合、前記ライン遅延並び替え部は、前記読取方向として設定された正方向又は逆方向に従い、正方向時のライン遅延及び画素の並び替え処理と逆方向時のライン遅延及び画素の並び替え処理とを切り替えるように構成してよい。

【0022】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。図1に、本発明の一実施の形態による画像読取装置の概略構成を示す。この装置は、4ラインセンサ1、モード設定回路2、タイミング信号発生回路3、センサドライバ4、ゲイン補正部5a～5g、サンプルホールド回路6a～6g、セレクト7a～7d、アナログディジタル（以下、A/Dという）変換器8a～8d、シェーディング補正部9a～9d、セレクト10a～10d、ライン遅延並び替え部11a～11dを備えている。

【0023】4ラインセンサ1は後述するように、R（Red）、G（Green）、B（Blue）のカラー用センサと、モノクロ専用のYセンサの4つのラインセンサを備

えている。

【0024】モード設定回路2は、選択されたモードを設定し、タイミング信号発生回路3に対して設定したモードを指示する。ここで、モードには2種類存在し、1つ目は4つのラインセンサのうちYセンサの出力のみを用いて高速に処理するモノクロ高速モード、2つ目はYセンサと、R、G、Bセンサの全て、あるいはYセンサを除くR、G、Bセンサの出力を用いて、それぞれの出力を同一速度で処理するカラー低速モードである。

【0025】タイミング信号発生回路3は、設定されたモードに応じて、各種タイミング制御信号を発生し、後述するセンサドライバ4、サンプルホールド回路6a～6g、セレクト7a～7d、A/D変換器8a～8d、セレクト10a～10d、ライン遅延並び替え部11a～11dに出力して、それぞれの動作タイミングを制御する。

【0026】センサドライバ4は、タイミング信号発生回路3から出力されたタイミングパルスを与えられて、4ラインセンサ1を駆動する。

【0027】ゲイン補正部5a～5gは、4ラインセンサ1から出力されたY_LEFT_EVEN（白黒、左偶数画素）信号、Y_LEFT_ODD（白黒、左奇数画素）信号、Y_RIGHT_EVEN（白黒、右偶数画素）、Y_RIGHT_ODD（白黒、右奇数画素）、R、G、Bの各画像信号を供給され、各センサ毎に出力信号のレベル補正を行う。

【0028】サンプルホールド回路6a～6gは、ゲイン補正部5a～5gによってそれぞれレベル補正された信号を供給され、タイミング信号発生回路3から出力されたタイミング制御信号に従って信号レベルをホールドする。これにより、A/D変換期間中に信号レベルが変化することが防止される。

【0029】セレクト7a～7dは、サンプルホールド回路6a～6gによって信号レベルがホールドされた各センサの出力信号を与えられ、設定されたモードに従って出力を切り替えてA/D変換器8a～8dに供給する。モノクロ高速モードでは、Yセンサから4つに分割されて出力された信号が、4つのA/D変換器8a～8dに供給され、カラー低速モードでは、4つのY、R、G、Bセンサから出力されたそれぞれの出力が、対応するA/D変換器8a～8dに供給される。

【0030】A/D変換器8a～8dは、タイミング信号発生回路3から出力されたタイミング制御信号に従って、セレクト7a～7dから与えられたアナログ信号を、例えば10bitのディジタル信号に変換する。本実施の形態では、A/D変換器8a～8dのそれぞれの最大変換速度を、例えば20MSPS（毎秒2000万サンプル）とする。

【0031】シェーディング補正部9a～9dは、A/D変換器8a～8dによってディジタル信号に変換され

たYセンサから4つに分割されて出力された信号(モノクロ高速モード)、あるいは4つのY、R、G、Bセンサからの出力信号(カラー低速モード)を供給される。

【0032】シェーディング補正部9a~9dは、A/D変換器8a~8dからそれぞれ出力された各センサの出力信号に対して、画素毎にシェーディング補正を行う。

【0033】セレクト10a~10dは、シェーディング補正部9a~9dによって補正された画像データを供給され、モードに従って出力の切替を行う。モノクロ高速モードでは、Yセンサから出力された画像データが、4つのライン遅延並び替え部11a~11dにそれぞれ分配されるように切り替える。カラー低速モードでは、Y、R、G、Bの各センサの画像データが、それぞれ4つのライン遅延並び替え部11a~11dへ供給されるように切り替える。

【0034】ライン遅延並び替え部11a~11dは、セレクト10a~10dから与えられた画像データを、モノクロ高速モードではYセンサから4つに分割されて出力された信号が、本来の画素の並び順になるように補正し、カラー低速モードでは、4つのセンサの読み取りライン位置のずれを時間的に補正して本来の画素の並び順になるようにする。

【0035】上記構成を備えた本実施の形態における、各部の構成及び動作の詳細について説明する。

【0036】図2に、4ラインセンサ1におけるRセンサ20r、Gセンサ20g、Bセンサ20b、Yセンサ20yの配列を示す。

【0037】各センサ20r、20g、20b、20yの1画素あたりの大きさは、例えば $8 \times 8 \mu\text{m}$ で、1ラインの画素数は例えば8000画素、各ラインセンサの間隔は例えば $32 \mu\text{m}$ であって、センサの画素数に換算すると4ライン間隔とする。

【0038】この場合、等倍で原稿画像を読み取ると、各ラインセンサは原稿画像においてそれぞれ4ラインずつずれた異なる箇所を読み取ることになる。よって、原稿画像上の同一ラインの画像情報を得るためには、ラインのずれをデータ上で補正する必要がある。

【0039】原稿画像の同一ラインの読み取り順序が、図2において矢印で示されたように、Yセンサ20y、Bセンサ20b、Gセンサ20g、Rセンサ20rの順であるとする。この場合は、Rセンサ20rが現時点で読み取っているR画像と同一ラインの画像データを得るためには、Gセンサ20gが読み取ったG画像を4ライン、Bセンサ20bが読み取ったB画像を8ライン、Yセンサ20yが読み取ったY画像を12ライン遅延させればよい。

【0040】また、読み取り位置の移動速度を $1/4$ にして、400%の拡大画像を得るためには、G画像を16ライン、B画像を32ライン、Y画像を48ライン遅

延させる必要がある。反対に、移動速度を2倍にして50%の縮小画像を得るためには、G画像を2ライン、B画像を4ライン、Y画像を6ライン遅延させればよい。

【0041】図3に、4ラインセンサ1の画像信号の伝送経路を示す。

【0042】カラーラインセンサを構成する3つのRセンサ20r、Gセンサ20g、Bセンサ20bは、それぞれ、原稿画像を光電変換するフォトダイオード20rr、20gg、20bb、光電変換された電荷をCCDアナログシフトレジスタ22r、22g、22bにそれぞれ転送するシフトゲート21r、21g、21b、与えられた1ライン分の電荷を1画素ずつ順に転送するCCDアナログシフトレジスタ22r、22g、22b、1画素ずつ転送された電荷を電圧信号として出力する出力バッファ23r、23g、23bによって構成されている。

【0043】ここで、フォトダイオード20rr、20gg、20bbからCCDアナログシフトレジスタ22r、22g、22bへの電荷転送は、各シフトゲート21r、21g、21bにそれぞれシフトゲート信号SHRGBと与えられるタイミングに従って行われる。CCDアナログシフトレジスタ22r、22g、22b内における画素順次転送は、転送クロック $\Phi 1_RGB$ 、及び $\Phi 2_RGB$ (ここで、 $\Phi 2_RGB$ は、 $\Phi 1_RGB$ の逆相の信号)のタイミングに従って行われる。

【0044】Yセンサ20yは、カラーセンサ20r、20g、20bと基本的な構成は共通する。しかし、CCDアナログシフトレジスタにおける1つ1つの電荷転送速度を変えることなく、1ライン分の画像信号をカラーセンサの4分の1の時間で外部に読み出すために、CCDアナログシフトレジスタを、フォトダイオード20yyの右偶数用レジスタ22yc、左偶数用レジスタ22ya、右偶数用レジスタ22yd、左奇数用レジスタ22ybの4つに分ける。そして、それぞれのCCDアナログシフトレジスタ22ya、22yb、22yc、22ydで同時に転送することで、4倍の転送速度を実現する。

【0045】CCDアナログシフトレジスタ22ya、22yb、22yc、22ydで1画素ずつ転送された電荷は、出力バッファ23ya、23yb、23yc、23ydによって電圧信号に変換されて出力される。

【0046】Yセンサ20yにおけるフォトダイオード20yyからCCDアナログシフトレジスタ22ya、22yb、22yc、22ydへの電荷転送は、ラインに共通のシフトゲート信号SH_Yのタイミングに従って行われる。

【0047】CCDアナログシフトレジスタ22ya、22yb、22yc、22ydにそれぞれ供給される電荷転送クロック $\Phi 1_Ya$ 及び $\Phi 2_Ya$ 、 $\Phi 1_Yb$ 及び $\Phi 2_Yb$ 、 $\Phi 1_Yc$ 及び $\Phi 2_Yc$ 、 $\Phi 1_Yd$

d及びΦ2_Yd(ここで、Φ2はΦ1と逆相の信号)は、CCDアナログシフトレジスタ毎に独立に供給可能である。このため、CCDアナログシフトレジスタ22ya、22yb、22yc、22ydは、それぞれ個別に転送タイミングを制御することが出来る。

【0048】カラー低速モードでは、Yセンサ20y、Rセンサ20r、Gセンサ20g、Bセンサ20bの画像読み取り速度が全て同一となる。ここで、Yセンサ20yの読み取り信号は、他のカラーセンサ20r、20g、20bと異なり、上述のように4つに分割されて出力される。しかし、他のカラーセンサ20r、20g、20bと同一速度で処理する必要がある。そこで、CCDアナログシフトレジスタ22ya、22yb、22yc、22ydの転送タイミングを4分の1の速度で行うよう調整している。以下に、3種類の制御タイミングについて、それぞれの制御信号の波形を示した図4、図5、図6を用いて説明する。

【0049】図4に示された制御タイミングでは、4分割されて出力されるYセンサ20yの出力転送速度が、このYセンサ20y全体として他のカラーセンサ20r、20g、20bと同一になるように、CCDアナログシフトレジスタ22ya、22yb、22yc、22ydの転送クロックΦ1_Ya~Φ1_Yd及びΦ2_Ya~Φ2_Ydの周期が、他のカラーセンサ20r、20g、20bの転送クロックΦ1_RGB及びΦ2_RGBの4倍に設定されている。

【0050】また、転送クロックのデューティ比は、有効画像データ出力期間(図中ローレベルの期間)が、Yセンサ20yの転送クロックΦ1_Ya~Φ1_Yd及びΦ2_Ya~Φ2_Ydと、他のカラーセンサ20r、20g、20bの転送クロックΦ1_RGB及びΦ2_RGBとで同一に設定されている。

【0051】このような周期及びデューティ比を有する転送クロックΦ1_Ya~Φ1_Yd及びΦ2_Ya~Φ2_Ydに従って、Yセンサ20yの4つのCCDアナログシフトレジスタ22ya~22ydから読み出された出力信号は、それぞれサンプルホールド回路6a~6dで保持される。さらに、セクタ7aによって出力の切替が行われ、共通のA/D変換器8aによってデジタル信号に変換される。

【0052】但し、この時点では、4分割されて読み出され、A/D変換された画像データは、画素順序が入れ替わっている。このため、後段の処理によって本来の順序に並び替える必要がある。

【0053】一方、カラーセンサ20r、20g、20bの出力信号は、サンプルホールド回路6e、6f、6gで保持された後、セクタ7b、7c、7dを介してそれぞれ対応するA/D変換器8b、8c、8dに与えられ、デジタル信号に変換される。

【0054】カラーセンサ20r、20g、20bは、

Yセンサ20yと異なり、それぞれ1つずつのCCDアナログシフトレジスタ22r、22g、22bのみを有する。よって、A/D変換された時点における画像データは、画素順序は入れ替わっておらず、並び替える必要はない。

【0055】図5に示されたYセンサ20yの転送クロックΦ1_Ya~Φ1_Yd、Φ2_Ya~Φ2_Ydの波形は、図4に示された上記転送クロックΦ1_Ya~Φ1_Yd、Φ2_Ya~Φ2_Ydのデューティ比を、50%に変更したものに相当する。デューティ比が異なる点を除き、他の処理タイミングは図4を用いて説明したものと同様であり、説明を省略する。

【0056】図6に示されたYセンサ20yの転送クロックΦ1_Ya~Φ1_Yd、Φ2_Ya~Φ2_Ydの波形は、図4、図5に示された転送クロックΦ1_Ya~Φ1_Yd、Φ2_Ya~Φ2_Ydと異なり、その周期は他のカラーセンサ20r、20g、20bと同じである。しかし、CCDアナログシフトレジスタ22ya、22yb、22yc、22yd毎にまとめて連続転送を行う。そして、セクタ7aによって、4分1ライン毎にA/D変換器8aへ画像信号を供給するCCDアナログシフトレジスタ22ya、22yb、22yc、22ydの出力を切替える。

【0057】次に、図4あるいは図5に示された転送クロックを用いた場合における、ラインを単位とする各部(Yセンサ20y用CCDアナログシフトレジスタ22ya~22yd、A/D変換器8a、カラーセンサ20r、20g、20b用CCDアナログシフトレジスタ22r、22g、22b、A/D変換器8b~8d)の転送データ数、転送データレートを図7に示す。

【0058】図7に示されたように、最終的には、Yセンサ20y、Rセンサ20r、Gセンサ20g、Bセンサ20bが、いずれも同じ20MSPSでデジタル画像データを出力する。

【0059】次に、図6に示された転送クロックを用いた場合における、ラインを単位とする各部の転送データ数、転送データレートを図8に示す。

【0060】この場合も、図7に示された場合と同様に、最終的には、Yセンサ20y、Rセンサ20r、Gセンサ20g、Bセンサ20bが、いずれも同じ20MSPSでデジタル画像データを出力する。

【0061】次に、Yセンサ20yの画像読み取り速度が、R、G、Bセンサ20r、20g、20bの画像読み取り速度の4倍となるモノクロ高速モードの動作タイミングについて図9を用いて説明する。

【0062】モノクロ高速モードでは、Yセンサ20yから出力された信号のみを使用し、他のRセンサ20r、Gセンサ20g、Bセンサ20bの出力信号は使用しない。そして、4分割されたYセンサ20yの出力信号を、4つのA/D変換器8a~8dによってそれぞれ

ディジタル変換する。これにより、A/D変換器8a～8dの変換速度を20MSPSとすると、全体で80MSPSのモノクロ画像データを得ることができる。

【0063】図9に示されたように、4分割されて出力されたYセンサ20yの出力信号Y_LEFT_EVEN(白黒、左偶数画素)、Y_LEFT_ODD(白黒、左奇数画素)、Y_RIGHT_EVEN(白黒、右偶数画素)、Y_RIGHT_ODD(白黒、右奇数画素)は、それぞれ対応するサンプルホールド回路6a、6b、6c、6dでホールドされ、セクタ7a、7b、7c、7dによってA/D変換器8a、8b、8c、8dに分配されてディジタル信号に変換される。

【0064】但し、この時点では、4分割されて読み出されてA/D変換された画像データは、それぞれCCDアナログシフトレジスタ22ya、22yb、22yc、22ydから出力された順序となっている。このため、後段の処理において本来の画素順序に並び替える必要がある。

【0065】図9に示された処理のタイミングを用いた場合における、ライン単位の各部の転送データ数、及び転送データレートを図10に示す。

【0066】最終的には、4分割されたY画像データY_LEFT_EVEN、Y_LEFT_ODD、Y_RIGHT_EVEN、Y_RIGHT_ODDが、それぞれ20MSPSのディジタル画像データとして出力されて、Y信号全体として80MSPSのモノクロ画像データとなる。

【0067】次に、カラー低速モードにおけるライン遅延、またモノクロ高速モードにおける画素並び替えを行うライン遅延並び替え部11a、11b、11c、11dの詳細について、図11～図13を用いて説明する。

【0068】図11に、ライン遅延並び替え部11a、11b、11c、11dの全体の構成を示す。このライン遅延並び替え部11a、11b、11c、11dは、1ライン分の遅延を行うためのラインメモリLM1～LM3及びLM7、m-1ライン分のラインメモリLM4、2m-2ライン分のラインメモリLM5、3m-1ライン分のラインメモリLM6、セクタSL1～SL5を備える。この構成によれば、カラー低速モードとモノクロ高速モードとを同一構成で切替が可能であり、モードの切替はセクタSL1～SL5において入力a又はbのいずれか一方を出力する出力の切替によって行う。

【0069】カラー低速モードにおける等価な構成は、図12に示されるようである。図2に示されたように、センサがR、G、B、Yの順に並んでおり、矢印のように原稿を読み取るとすると、最後尾のRセンサ20rは遅延「0」、Gセンサ20gはセンサ間の距離に相当する遅延「m」、Bセンサ20bは2倍の距離に相当する遅延「2m」、Yセンサ20yは3倍の距離に相当する

遅延「3m」が与えられる。

【0070】この遅延「0～3m」は、それぞれのセンサによって読み取られた画像を処理する際に、最終的に同じ原稿位置のライン情報を得るために設定された倍率に相当する。

【0071】前述したように、等倍の場合はm=4、400%拡大の場合はm=16、50%縮小の場合はm=2となる。また、mが整数とならない倍率の場合は、mを最も近い整数となる用に設定し、後段の処理で前後2ラインからの補間処理によって処理精度を向上させる。

【0072】このようなカラー低速モードにおける等価回路の構成は、図11に示された回路において、セクタSL1～SL5が全てa側の入力を出力するように設定することで実現する。

【0073】モノクロ高速モードにおける等価な構成は、図13に示されるようである。この場合はYセンサ20yしか使用しないので、複数のセンサ間の距離は関与しない。その代わりに、4分割されたY画像データを、セクタ10a、10b、10c、10dにより本来の画素の順序に並び替える必要がある。そこで、セクタ10a、10b、10c、10dからの出力がラインメモリLM21～LM24に一旦書き込まれ、読み出す際に順序が並び替えられるようにしている。この場合に必要なラインメモリは、上記カラー低速モードにおいて使用するラインメモリの1部を共通に使用することができる。モノクロ高速モードにおける並び替えに必要なラインメモリの容量は、最低1/4ライン分必要である。

【0074】このモノクロ高速モードにおける構成は、セクタSL1～SL5において全てb側の入力を選択して出力することで実現する。

【0075】図11に示された回路構成は、カラー低速モードにおいてYセンサ20yを使用する場合に用いるものである。これに対し、図14に示された回路構成は、カラー低速モードにおいてYセンサ20yの出力を用いないことを前提としている。この回路は、1ライン分のラインメモリLM31～LM32、LM35～LM36、m-2ライン分のラインメモリLM33、2m-2ライン分のラインメモリLM34、セクタSL11～SL12、SL21～SL24を備える。

【0076】この構成によれば、カラー低速モードにおいてY画像用の遅延メモリが不要である。よって、カラー低速モードにおける等価回路では、図15に示されたように、Yセンサ20yの出力(セクタ10aからの出力)を遅延するラインメモリが不要であると共に、最後尾に位置するRセンサ20rの出力(セクタ10bからの出力)を遅延するラインメモリも不要である。Gセンサ20gの出力(セクタ10c)を遅延する

「m」ライン分のラインメモリLM41と、Bセンサ10bの出力(セクタ10d)を遅延する「2m」ライ

ン分のラインメモリLM42とがあればよい。

【0077】この等価回路の構成は、図14に示された回路において、セクタSL21～SL24、SL11～SL12において全てa側の入力を選択して出力することで実現する。

【0078】モノクロ高速モードでは、上記図11に示された回路と同様に、Yセンサ20yの4分割された出力を全て1ラインずつ遅延するラインメモリLM51～LM54が必要となる。

【0079】この構成は、図14に示された回路において、セクタSL21～SL4、SL11～SL12の入力を全てb側を選択することで実現する。

【0080】図14に示された回路では、Y画像を使用することなく、後段の処理回路でR、G、B画像よりY画像を生成することが可能である。しかし、各々のセンサの位置精度や分光感度特性等が原因となり、Yセンサ20yから出力されたY画像を使用する場合よりも、画像の品質が低下する可能性がある。

【0081】次に、図17(a)～(c)を用いて、モノクロ高速モードにおける画素順序の並び替え処理について説明する。

【0082】画素順序の並び替えは、上述したようにセクタ10a～10dと、ライン遅延並び替え部11a～11dの組み合わせ処理によって行われる。

【0083】モノクロ高速モードでは、シェーディング補正部9a～9dからの出力は、図17(a)に示されたように、それぞれ4分割されたYセンサ20yの出力順になっている。即ち、Y/Y LEFT EVENの出力は、画素の順序として、0、2、4、6、…、RED/Y LEFT ODDの出力は、1、3、5、7、…、GREEN/Y RIGHT EVENの出力は、7998、7996、7994、7992、…、BLUE/Y RIGHT ODDの出力は、7999、7997、7995、7993、…の順になっている。

【0084】これらの信号を、セクタ10a、10b、10c、10dの出力を切り替えることにより、ライン遅延・並び替え部11a、11b、11c、11dが有するラインメモリに対し、Y[4n]、Y[4n+1]、Y[4n+2]、Y[4n+3] (nは0以上の整数)の画素位置になる用に、それぞれのラインメモリに供給する。

【0085】これにより、図17(b)に示されたように、Y/[4n]のセクタ出力は、0、7996、4、7992、…、RED/Y[4n+1]の出力は、1、7997、5、7993、…、GREEN/Y[4n+2]の出力は、7998、2、7994、6、…、BLUE/Y[4n+3]の出力は、7999、3、7995、7、…の順になっている。

【0086】さらに、それぞれのラインメモリに1ライン分の画像データが書き込まれた時点で、画素位置が本

来の順番になるように読み出すことによって画素順序の整列が完了する。これにより、図17(c)に示されたように、ライン遅延並び替え出力部11a(Y/Y[4n])の出力は、0、4、8、12、…、ライン遅延並び替え出力部11b(RED/Y[4n+1])の出力は、1、5、9、13、…、ライン遅延並び替え出力部11c(GREEN/Y[4n+2])の出力は、2、6、10、14、ライン遅延並び替え出力部11d(BLUE/Y[4n+3])の出力は、3、7、11、15、…となる。

【0087】この結果、ライン遅延並び替え出力部11a～11dの出力は、順に0、1、2、3、4、5、6、7、…となり、本来の画素位置の順に並び替えられる。

【0088】次に、4ラインセンサ1が順方向に原稿DCを読み取るフォワードスキャンと、CCDセンサ1が逆方向に原稿DCを読み取るバックワードスキャンのいずれかを、図20に示された読み取り方向設定部SSにより設定し、設定された読み取り方向に従って、ライン遅延並び替え部11a～11dによって信号の並び替えをダイナミックに行う場合について、以下に説明する。ここで、読み取り方向設定部SSは、通常の装置に設けられている操作パネル部に設けることができる。

【0089】この装置によれば、カラー低速モードにおけるカラーセンサ20r、20g、20bからの出力のライン遅延、またモノクロ高速モードにおけるYセンサ20yからの出力の画素順序の並び替えをダイナミックに切り換えることにより、使用メモリ量を最小限に抑えることができる。

【0090】また、この装置と原稿自動送り装置とを組み合わせることにより、原稿送り装置によって交換された原稿を、順方向と逆方向との往復で読み取ることが可能となる。これにより、4ラインセンサ1のキャリッジリターン作業を必要とする、順方向のみが可能な画像読取装置と比較し、連続した原稿の読み取りを高速に行うことが可能となる。

【0091】図18に、図中右方向の矢印で示された順方向に原稿を読み取る、フォワードスキャン時の原稿読み取り動作を模式的に示す。

【0092】原稿台に載置された原稿DCを、4ラインセンサ1及びレンズLCが矢印で示された図中右方向に移動することにより、原稿DCをライン毎に順次読み取っていく。

【0093】4ラインセンサ1には、上述したようにカラーラインセンサ20y、20r、20g、20bが等間隔に配置されている。このため、4ラインセンサ1の移動方向における読み取り密度や移動速度によって、各センサ20y、20r、20g、20bの原稿DC上における読み取りラインが異なる。ここで、仮に各センサ20y、20r、20g、20bの原稿DCの読み取り

ラインのずれをmラインとする。

【0094】この場合、カラー低速モードでは、mラインずつずれた各ラインセンサ20y、20r、20g、20bの出力に対し、全ての色の出力が原稿DCにおける同一ラインの読み取り結果となるように、タイミングを調整する必要がある。

【0095】図18に示された例では、フォワードスキャンでは、レンズLSの作用により、Yセンサ20yが読み取る位置P1の方が、Rセンサ20rが読み取る位置P4よりも先行する。従って、Yセンサ20y、Bセンサ20b、Gセンサ20g、Rセンサ20rの順に先行して原稿DCを読み取っていくことになる。

【0096】また、モノクロ高速モードでは上述のように、Yセンサ20yからの出力は、奇数画素、偶数画素、右側、左側で4分割される。このため、画素の順序を正規の順序に並び替えるため、1ライン分のラインメモリによる並び替え動作が必要となる。

【0097】図19に、バックワードスキャン時の動作を模式的に示す。原稿台上に載置された原稿DCを、4ラインセンサ1及びレンズLSが図中左方向に移動することにより、原稿DCをライン毎に順次読み取っていく。4ラインセンサ1上には、Y、R、G、Bの各色のラインCCDセンサ20y、20r、20g、20bが等間隔に配置されている。上述したように、センサ1の移動方向の読み取り密度や移動速度によって各センサ20y、20r、20g、20bの原稿DC上の読み取りラインが異なる。

【0098】上述したフォワードスキャン時と同様に、各センサ20y、20r、20g、20bの読み取りラインのずれをmラインとすると、カラー低速モードでは、mラインずつずれた各ラインセンサ20y、20r、20g、20bのずれを、全ての色の出力が原稿DCの同一ライン上の読み取り結果となるように、タイミングを調整する必要がある。

【0099】モノクロ高速モードでは、Yセンサ20yから、奇数画素、偶数画素、右側、左側で分割されて出力された信号に対し、画素が正規の順序になるように並び替える必要がある。

【0100】バックワードスキャン時には、Rセンサ20rが読み取る位置P11の方が、Yセンサ20yが読み取る位置P14よりも先行する。従って、Rセンサ20r、Gセンサ20g、Bセンサ20b、Yセンサ20yの順に先行して原稿DCを読み取っていく。

【0101】次に、カラー低速モードにおける、4ラインセンサ1の各色のセンサ20y、20b、20g、20rの原稿読み取りラインのずれの補正処理、モノクロ高速モードにおける、Yセンサ20yの画素の順序を整列する処理に用いるラインメモリの構成について説明する。

【0102】この場合のライン遅延並び替え部11a～

11dは、カラー1倍速のフォワードスキャン及びバックワードスキャン、モノクロ4倍速のフォワードスキャン及びバックワードスキャンのいずれにも対応することができる。そして、ライン遅延並び替え部11a～11dが有するラインメモリの容量は、ライン補正処理に最も大きい容量を必要とするカラー1倍速のバックワードスキャンに必要な容量とする。他のモードでは、ラインメモリのメモリ構成をモード毎に切り替えることによって、他のメモリを新たに付加することなく対応することができる。

【0103】図22に、カラー1倍速フォワードスキャン時のラインメモリの構成を示す。図18に示されたように、各ラインセンサ20y、20r、20b、20gの間には、mラインの読み取りずれが存在し、Yセンサ20yはRセンサ20rに対して3mライン先行して原稿DCを読み取っているとするとする。

【0104】この場合、Yセンサ20yの出力に対し、Rセンサ20rの出力とのずれを補正するためには、読み取り画像をラインメモリLM73によって3mライン分遅延させる必要がある。Bセンサ20bの出力は、ラインメモリLM72によって2mライン分遅延させ、Gセンサ20gの出力はラインメモリLM71によって1mライン分遅延させる必要がある。

【0105】モノクロ高速モードでは、Yセンサ20yからの出力は、奇数画素、偶数画素、右側、左側に分割されて出力される。このため、画素の順序を正規の順序に整列させるために、1ライン分のラインメモリによる並び替えが必要となる。3mライン遅延処理する間の1ラインで並び替え処理を行うことができる。そこで、この場合の画素順序の並び替えに用いるラインメモリは、3mラインの遅延メモリLM73に含めることができる。

【0106】図23に、カラー1倍速バックワードスキャン時のラインメモリの構成を示す。各ラインセンサ20y、20b、20g、20rの間には、mラインの読み取りずれが存在し、Rセンサ20rはYセンサ20yよりも3mライン先行して原稿の読み取りを行っている。

【0107】この場合、Rセンサ20rの出力に対し、Yセンサ20yとの間のずれを補正するためには、読み取り画像を3mライン分遅延させる必要がある。Gセンサ20gの出力に対しては2mライン分遅延させ、Bセンサ20bの出力に対してはmライン分遅延させる必要がある。

【0108】またYセンサ20yからの出力は、奇数画素、偶数画素、右側、左側に分割されて出力される。従って、画素を正規の順序に整列させるためには、1ライン分のラインメモリによる並び替えが必要となる。このため、Yセンサ20yの画素順序整列後の画像と、他のカラーラインセンサ20b、20g、20rの出力との

17

タイミングを合わせるためには、それぞれのカラーラインセンサの出力に対し、ライン間補正のための遅延メモリ(m、2m、3m)に加えて、Yセンサ20y用の1ライン分の遅延メモリ(m)がそれぞれ必要となる。

【0109】従って、最も読み取りの先行するRセンサ20rの出力に対しては3m+1ライン分遅延させるためのラインメモリLM91、Gセンサ20gは2m+1ライン分遅延させるためのラインメモリLM92、Bセンサ20bはm+1ライン分遅延させるためのラインメモリLM93、Yセンサ20yは1ライン分のラインメモリLM94が必要となる。

【0110】図24に、モノクロ4倍速モードにおけるフォワードスキャン及びバックワードスキャン時のライン補正メモリの構成を示す。

【0111】モノクロ4倍速では、Yセンサ20yのみを使用するため、カラーラインセンサ20r、20g、20bのライン間の補正をする必要はない。しかし、Yセンサ20yの出力は、奇数画素、偶数画素、右側、左側に分割されて出力される。このため、画素を正規の順序に整列させるために、1ライン分のラインメモリLM81~LM84による並び替えが必要となる。

【0112】そこで、Yセンサ20yからの4つの出力に対し、画素順序の並び替えの1/2ライン分のラインメモリが必要である。但し、4箇所から分割されて出力されたデータは、Yセンサ20y全体における1/4ライン分のデータに相当し、ダブルバッファとして使用するために、1/2ライン分の容量が必要である。この例では、カラー1倍速モードとモノクロ4倍速モードとの切替を行うために、1ライン分の容量を有するラインメモリLM81~LM84が必要である。

【0113】図21に、カラー1倍速フォワードスキャン、カラー1倍速バックワードスキャン、モノクロ4倍速フォワードスキャン及びモノクロ4倍速バックワードスキャンの全てに対応するライン補正メモリの構成を示す。このライン補正メモリは、1ライン分のラインメモリLM61~LM64、mライン分のラインメモリLM65~LM66、LM68~LM69、3mライン分のラインメモリLM67、セレクトSL31~SL33、SL71~SL74を備える。

【0114】セレクトSL31~SL33は、a又はb側の40 側の入力を切り替え、セレクトSL71~SL74は、a、b又はc側の入力を切り替える。カラー1倍速フォワードスキャン時には、a側の入力を選択することで、図22に示された回路と等価な回路構成を実現する。カラー1倍速バックワードスキャン時には、b側の入力を選択することで、図23に示された回路と等価な回路となる。モノクロ4倍速フォワードスキャン及びバックワードスキャン時には、c側の入力を選択することで、図24に示された回路と等価な回路構成が得られる。

【0115】ラインメモリを上記構成とすることで、ラ 50

18

イン補正処理に最も大きい容量を必要とするカラー1倍速バックワードスキャンに必要な容量以下の容量とすることができ、全体の容量を必要最小限に抑えることができる。各モードへの対応は、セレクトSL31~SK33、SL71~SL74を用いた遅延メモリの接続を切り替えることで、容易に行うことができる。

【0116】上述した実施の形態は一例であって、本発明を限定するものではない。例えば、図1、図11、図14にそれぞれ示された回路構成は一例であり、本発明を超えない範囲で様々に変形することが可能である。

【0117】

【発明の効果】以上説明したように、本発明の画像読取方法及びその装置、並びに画像処理方法及びその装置によれば、カラー用及びモノクロ用のラインセンサを使用し、モノクロモードでは、モノクロ用センサからの出力を、モノクロ用のみならず他のカラー用センサに対応して設けられたA/D変換器を用いて分割処理することで、高速かつ高精度に処理することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態による画像読取装置の全体構成を示すブロック図。

【図2】同画像読取装置における4ラインカラーCCDセンサの配置を示すレイアウト図。

【図3】同4ラインカラーCCDセンサの画像信号伝送経路の構成を示すブロック図。

【図4】同画像読取装置のカラー低速モードにおける処理のタイミングを示すタイミングチャート。

【図5】同カラー低速モードにおける他の処理のタイミングを示すタイミングチャート。

【図6】同カラー低速モードにおけるさらに他の処理のタイミングを示すタイミングチャート。

【図7】図4及び図5に示された処理のタイミングを使用した場合におけるライン単位の処理のタイミングを示す説明図。

【図8】図6に示された処理のタイミングを使用した場合におけるライン単位の処理のタイミングを示す説明図。

【図9】モノクロ高速モードにおける処理のタイミングを示す説明図。

【図10】図9に示された処理のタイミングを使用した場合におけるライン単位の処理のタイミングを示す説明図。

【図11】カラー低速モードでY画像を使用する場合のライン遅延・並び替え部の構成を示すブロック図。

【図12】同ライン遅延・並び替え部において、カラー低速モードにおける等価回路の構成を示すブロック図。

【図13】同ライン遅延・並び替え部において、モノクロ高速モードにおける等価回路の構成を示すブロック図。

【図14】カラー低速モードでY画像を使用しない場合

19

のライン遅延・並び替え部の構成を示すブロック図。

【図15】同ライン遅延・並び替え部において、カラー低速モードにおける等価回路の構成を示すブロック図。

【図16】同ライン遅延・並び替え部において、モノクロ高速モードにおける等価回路の構成を示すブロック図。

【図17】モノクロ高速モードにおける画素順序の並び替え処理を示す説明図。

【図18】フォワードスキャン時における原稿の読み取り動作を示した説明図。

【図19】バックワードスキャン時における原稿の読み取り動作を示した説明図。

【図20】フォワードスキャンとバックワードスキャンとによって処理を切り替えることが可能な構成を示したブロック図。

【図21】図20におけるライン遅延並び替え部のラインメモリの構成を示したブロック図。

【図22】図20に示されたラインメモリにおいて、カラー1倍速フォワードスキャンを行う時の等価回路の構成を示したブロック図。

【図23】図20に示されたラインメモリにおいて、カラー1倍速バックワードスキャンを行う時の等価回路の構成を示したブロック図。

【図24】図20に示されたラインメモリにおいて、モ

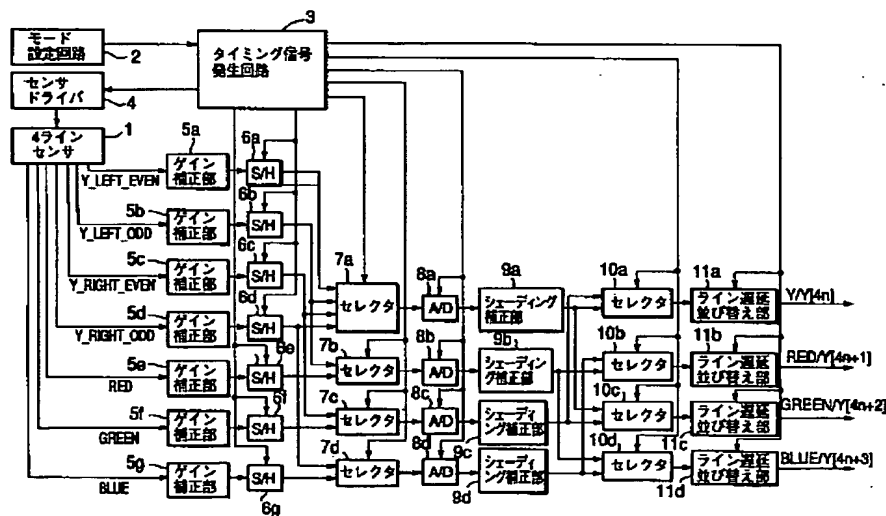
20

*ノクロ4倍速フォワードスキャン又はバックワードスキャンを行う時の等価回路の構成を示したブロック図。

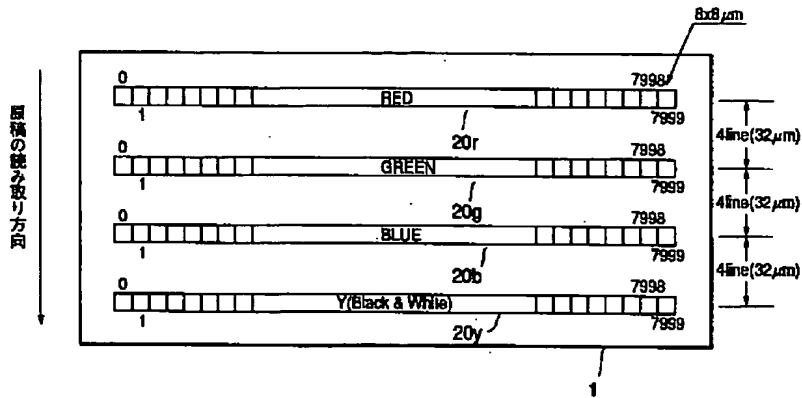
【符号の説明】

- 1 4ラインセンサ
- 2 モード設定回路
- 3 タイミング信号発生回路
- 4 センサドライバ
- 5a~5g ゲイン補正部
- 6a~6g サンプルホールド回路
- 7a~7d、10a~10d セレクタ
- 8a~8d A/D変換器
- 9a~9d シェーディング補正部
- 11a~11d ライン遅延並び替え部
- 20r Rセンサ
- 20g Gセンサ
- 20b Bセンサ
- 20y Yセンサ
- 20rr、20gg、20bb フォトダイオード
- 21r、21g、21b シフトゲート
- 22r、22g、22b CCDアナログシフトレジスタ
- 23ya、23yb、23yc、23yd 出力バッファ

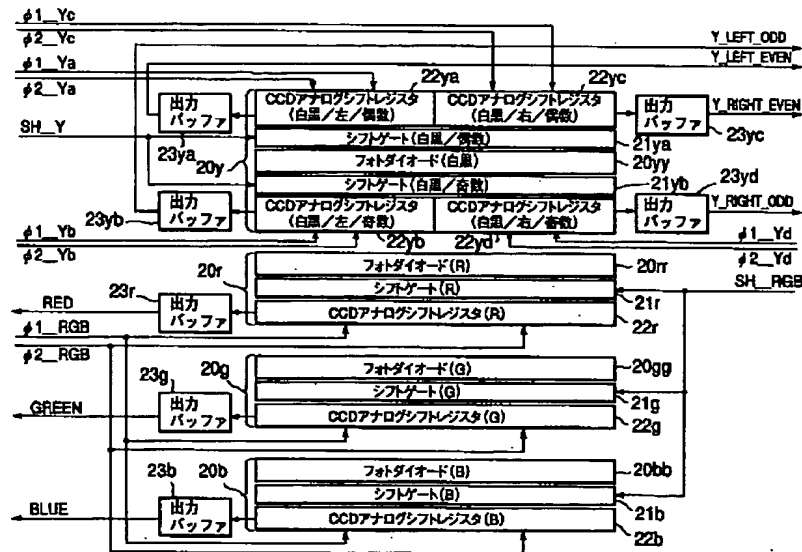
【図1】



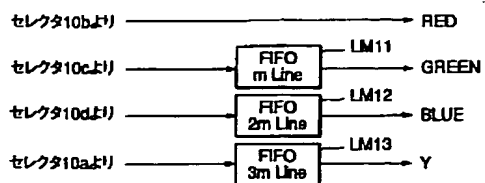
【図2】



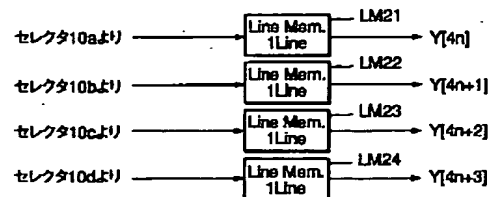
【図3】



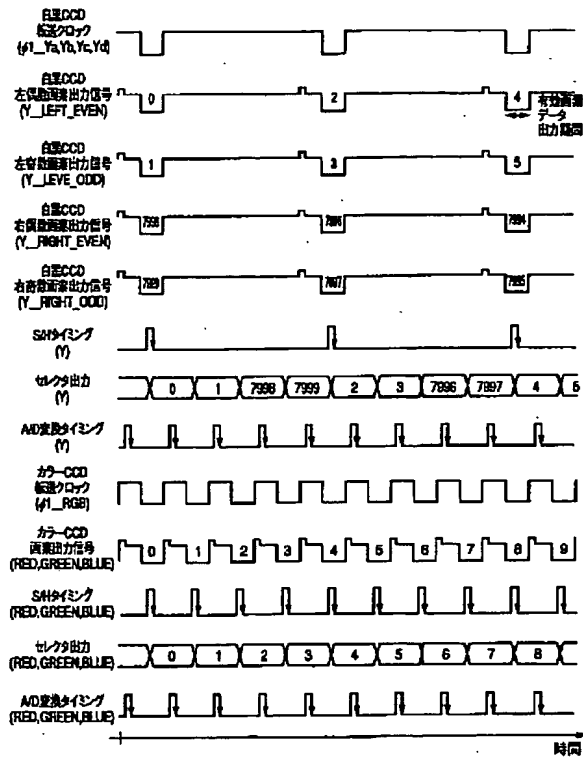
【図12】



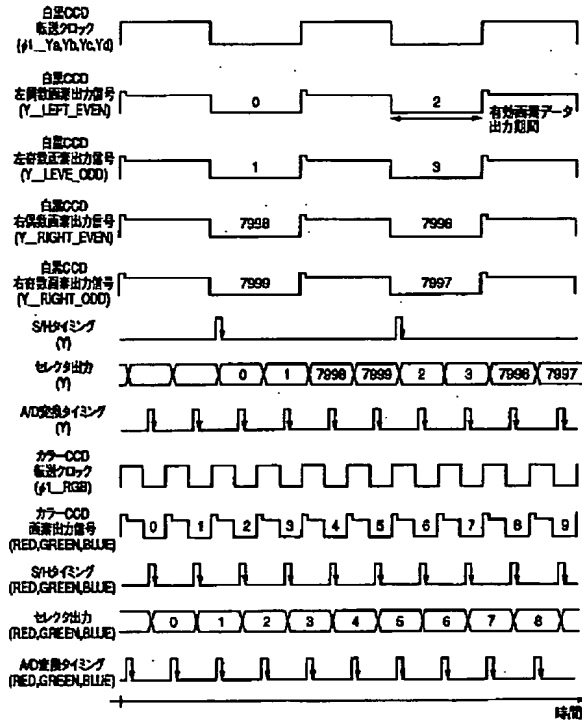
【図13】



【図4】



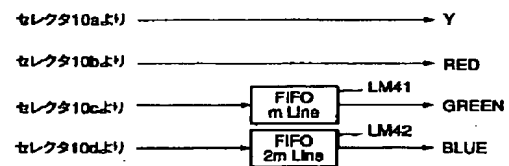
【図5】



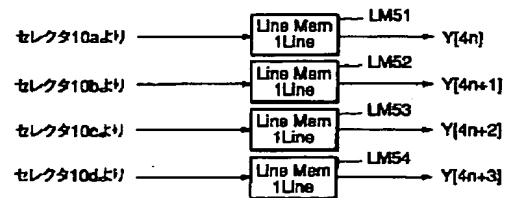
【図7】



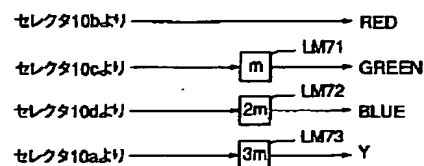
【図15】



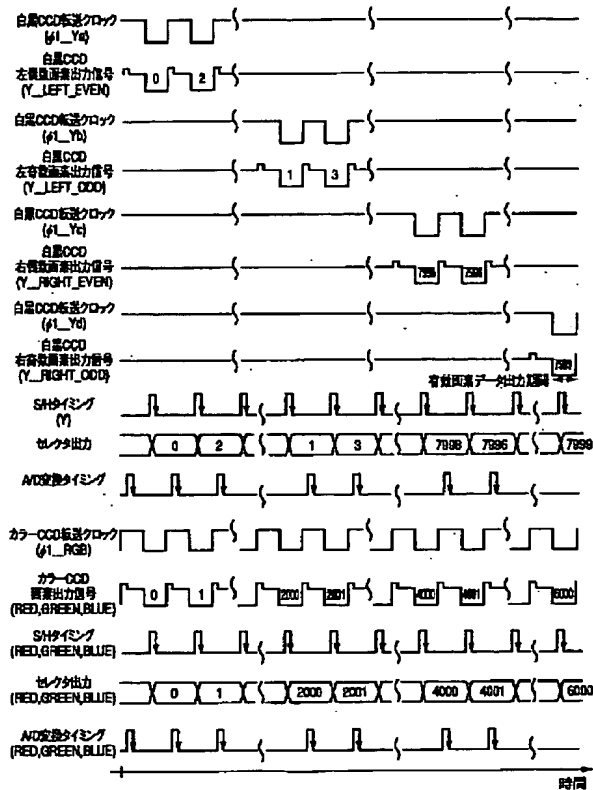
【図16】



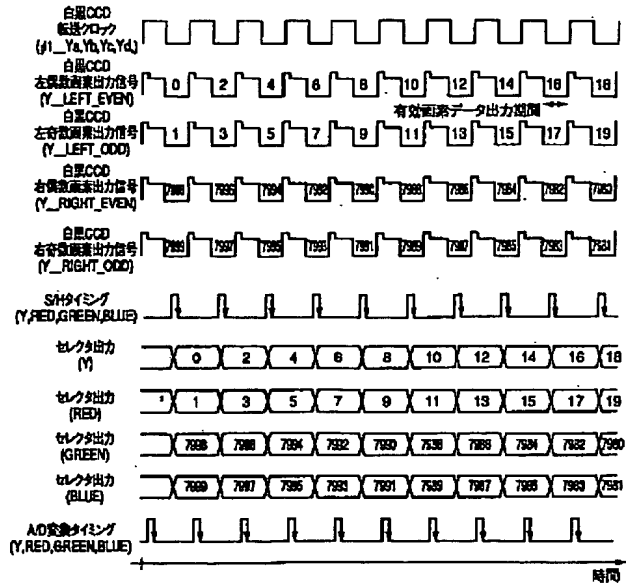
【図22】



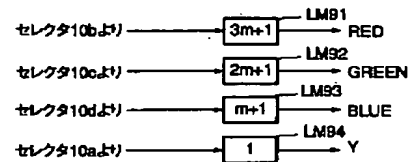
【図 6】



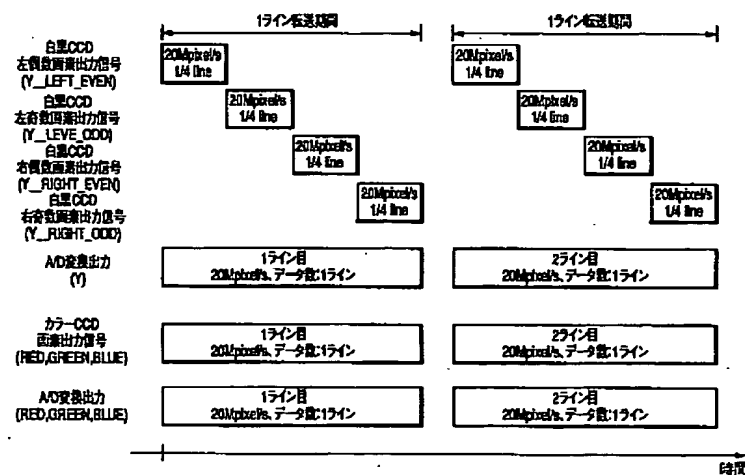
【図 9】



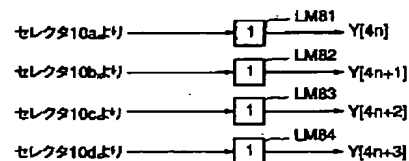
【图 2 3】



【図 8】



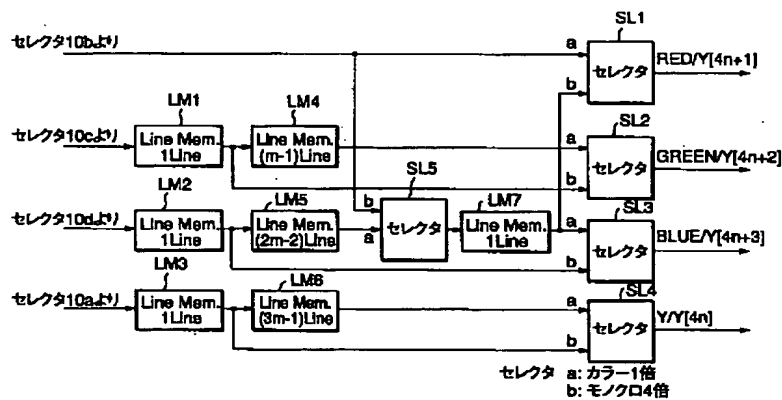
【图 2 4】



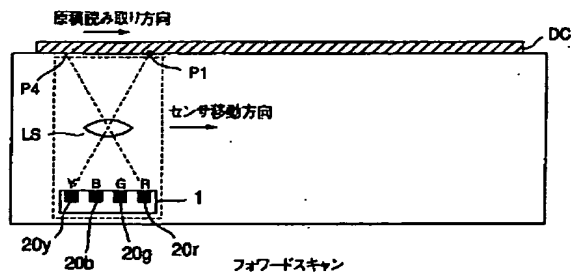
【図10】



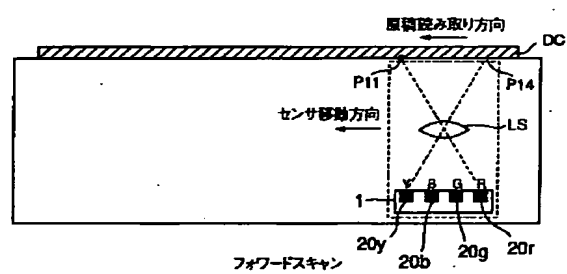
【図11】



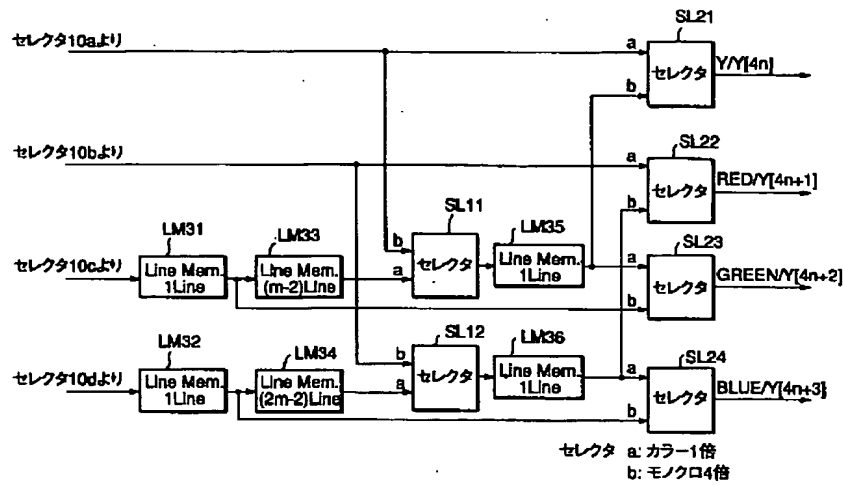
【図18】



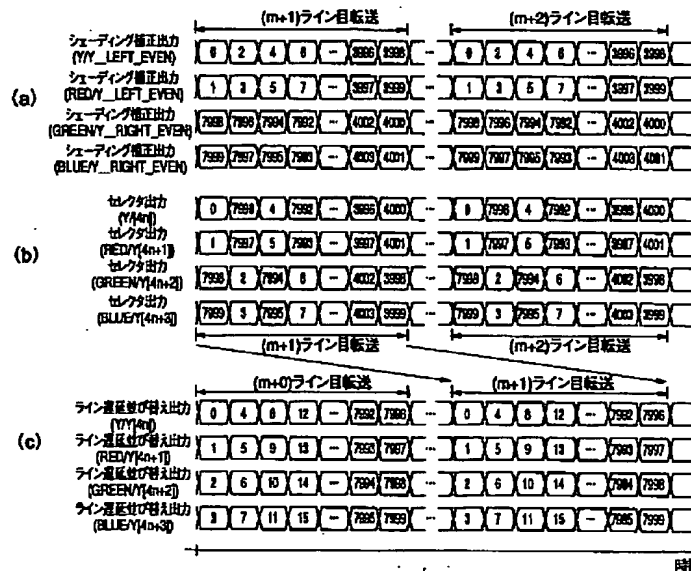
【図19】



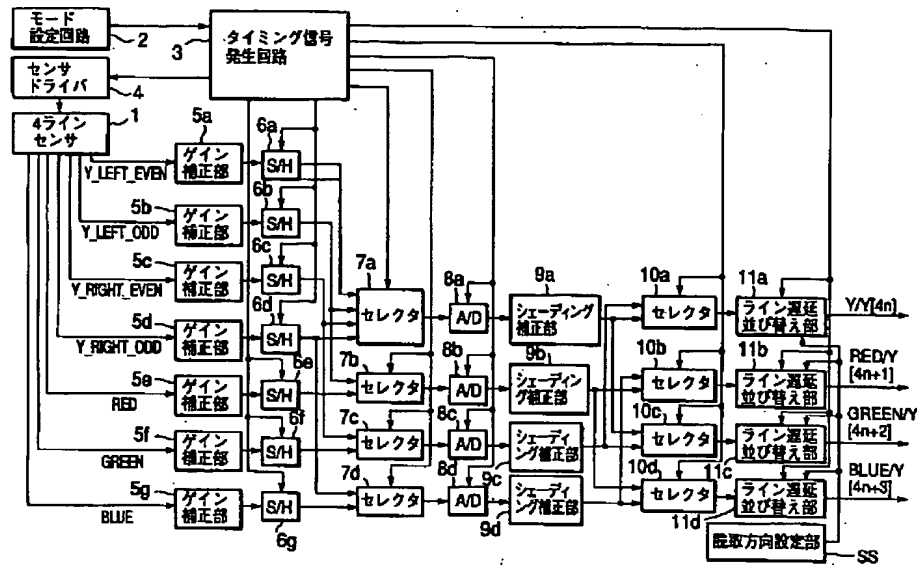
【図14】



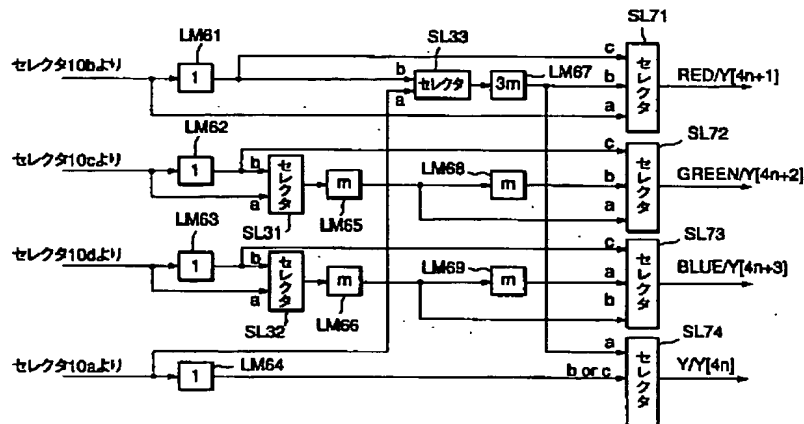
【図17】



【図20】



【図21】



フロントページの続き

(51)Int.Cl. 7

識別記号

F I
H 0 4 N 1/46

テ-マ-トド (参考)
C

Fターム(参考) 5B047 AB04 BB03 CA05 CA07 DB01
EA07
5C051 AA01 BA03 DB01 DB07 DB08
DB11 DE02 DE07 DE14 DE15
EA01
5C072 AA01 BA03 EA05 FA07 FB23
FB27 QA10 UA06 UA11 WA06
5C077 LL18 LL19 MM02 MP08 PP06
PP28 PP32 PQ08 PQ21 RR01
SS01
5C079 HA13 HB01 LA31 LA33 MA06
NA01 NA11